

## INPUT/OUTPUT MODULE

Patent Number: JP10228787  
Publication date: 1998-08-25  
Inventor(s): MATSUMOTO NORIKO  
Applicant(s): YOKOGAWA ELECTRIC CORP  
Requested Patent: ☐ JP10228787  
Application Number: JP19970032502 19970218  
Priority Number(s):  
IPC Classification: G11C16/02  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To reduce the occurrence of abnormal writing and reading of a non-volatile storage circuit by switching an object of writing operation to the other data region successively and processing them when the number of times of writing exceeds or a writing error occurs in one data region.

**SOLUTION:** When the number of times of writing in a data region is within a limit, a control circuit 1a writes data in a data region of a selected partition, when the number of times of writing exceeds the limit or a writing error occurs, it is retrieved whether a usable partition exists or not in a nonvolatile storage circuit 2. When it exists, contents of partition control region are rewritten so that a usable partition is selected. Also, When the number of times of writing exceeds the limit or a writing error occurs at the time of writing operation, an object of writing operation is successively rewritten to the prescribed partition and the like and processed.

---

Data supplied from the **esp@cenet** database - l2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-228787

(43)公開日 平成10年(1998) 8月25日

(51)IntCl<sup>5</sup>

G11C 16/02

識別記号

F I

G11C 17/00

601C

601B

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号

特願平9-32502

(22)出願日

平成9年(1997) 2月18日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72)発明者 松本 典子

東京都武蔵野市中町2丁目9番32号 横河  
電機株式会社内

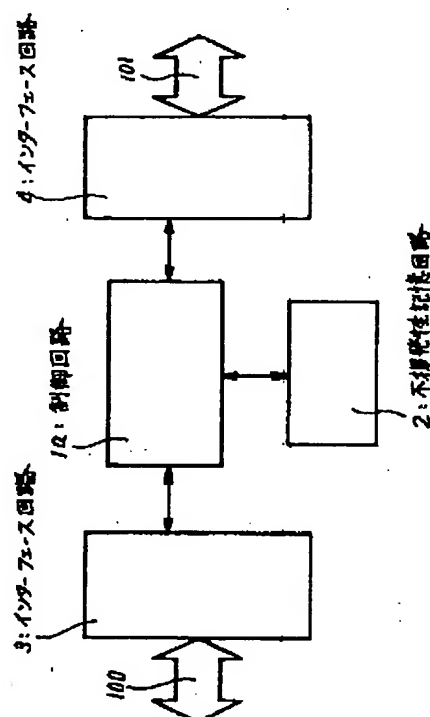
(74)代理人 弁理士 渡辺 正康

(54)【発明の名称】 入出力モジュール

(57)【要約】

【課題】 不揮発性記憶回路の書き込み異常及び読み出し異常の発生を低下させることが可能な入出力モジュールを実現する。

【解決手段】 分散制御装置に用いられる内部に不揮発性記憶回路を有する入出力モジュールにおいて、分散制御装置及び外部機器とデータのやり取りを行う2つのインターフェース回路と、複数のデータ領域が設けられた不揮発性記憶回路と、2つのインターフェース回路を制御すると共にデータ領域の一で書き込み回数超過若しくは書き込みエラーが発生した場合に書き込み動作の対象を他のデータ領域に順次切り換えて処理する制御回路とを設ける。



**【特許請求の範囲】**

**【請求項1】** 分散制御装置に用いられる内部に不揮発性記憶回路を有する入出力モジュールにおいて、前記分散制御装置及び外部機器とデータのやり取りを行う2つのインターフェース回路と、複数のデータ領域が設けられた前記不揮発性記憶回路と、前記2つのインターフェース回路を制御すると共に前記データ領域の一で書き込み回数超過若しくは書き込みエラーが発生した場合に書き込み動作の対象を他のデータ領域に順次切り換えて処理する制御回路とを備えたことを特徴とする入出力モジュール。

**【請求項2】** 前記不揮発性記憶回路が複数の前記データ領域と、複数の前記データ領域への書き込み回数を記憶するデータ管理領域と、書き込み動作の対象である前記データ領域の情報を記憶するパーティション管理領域とから構成されることを特徴とする特許請求の範囲請求項1記載の入出力モジュール。

**【請求項3】** 前記不揮発性記憶回路がEEPROMであることを特徴とする特許請求の範囲請求項1記載の入出力モジュール。

**【請求項4】** 前記不揮発性記憶回路がフラッシュメモリであることを特徴とする特許請求の範囲請求項1記載の入出力モジュール。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、分散制御装置に用いられる入出力モジュールに関し、特に入出力モジュール内のEEPROM (Electrically Erasable Programmable ROM) 等の不揮発性記憶回路の書き込み異常及び読み出し異常の発生を低下させた入出力モジュールに関する。

**【0002】**

**【従来の技術】** 従来の入出力モジュールは分散制御装置に装着され外部機器とのデータのやり取りを行うものである。例えば、外部機器とフィールドバスを介して通信を行う入出力モジュールを考える。

**【0003】** 図4はこのような従来の入出力モジュールの一例を示す構成ブロック図である。図4において1はCPU (Central Processing Unit) 等の制御回路、2はEEPROM等の不揮発性記憶回路、3は分散制御装置とのインターフェース回路、4はフィールドバスとのインターフェース回路、100及び101は分散制御装置及びフィールドバスからの入出力信号である。

**【0004】** 分散制御装置からの入出力信号100はインターフェース回路3に接続され、インターフェース回路3の入出力は制御回路1に接続される。

**【0005】** 一方、フィールドバスからの入力信号10

1はインターフェース回路4に接続され、インターフェース回路4からの入出力は制御回路1に接続される。さらに、不揮発性記憶回路2からの入出力も制御回路1に接続される。

**【0006】** ここで、図4に示す従来例の動作を説明する。不揮発性記憶回路2には入出力モジュール自身の動作に必要な設定条件、分散制御装置側の情報、フィールドバス上に接続されたデバイス構成等のフィールドバスとの通信に必要な情報等が上位である分散制御装置から格納される。

**【0007】** また、不揮発性記憶回路2は分散制御装置の電源OFF等により電源電圧を失ってもその格納情報を保持することが出来るので、分散制御装置からの入出力モジュールの脱着等の作業によっても格納情報を失うことはない。

**【0008】** 例えば、分散制御装置からの入出力信号100がインターフェース回路3を介して制御回路1に入力されると、制御回路1はその信号に基づきフィールドバスに適合した信号形式や送信手順等に従って送信信号を生成しインターフェース回路4を介して入出力信号101としてフィールドバスに供給する。

**【0009】** この送信信号生成の処理においては不揮発性記憶回路2内の前記設定条件やフィールドバスとの通信に必要な情報等を順次読み出して処理を行う。

**【0010】** また、分散制御装置は必要に応じて、例えば、フィールドバス上に接続されたデバイスの構成が変更された場合等に不揮発性記憶回路2内のデータの書き換えを行う。

**【0011】** この結果、不揮発性記憶回路2内に格納された情報に基づき分散制御装置とフィールドバス間の入出力処理を行うことが可能になる。

**【0012】**

**【発明が解決しようとする課題】** しかし、不揮発性記憶回路2には一般に書き込み回数に限度があり、その書き込み限度を超過すると書き込み異常若しくは読み出し異常を生じる可能性が増加する。

**【0013】** 図4に示す従来例において、もし、不揮発性記憶回路2の書き込み異常若しくは読み出し異常が生じると入出力モジュールの動作自体やフィールドバスとの通信に障害が生じてしまうと言った問題点があった。従って本発明が解決しようとする課題は、不揮発性記憶回路の書き込み異常及び読み出し異常の発生を低下させることが可能な入出力モジュールを実現することにある。

**【0014】**

**【課題を解決するための手段】** このような課題を達成するために、本発明の第1では、分散制御装置に用いられる内部に不揮発性記憶回路を有する入出力モジュールにおいて、前記分散制御装置及び外部機器とデータのやり取りを行う2つのインターフェース回路と、複数のデー

タ領域が設けられた前記不揮発性記憶回路と、前記2つのインターフェース回路を制御すると共に前記データ領域の一で書き込み回数超過若しくは書き込みエラーが発生した場合に書き込み動作の対象を他のデータ領域に順次切り換えて処理する制御回路とを備えたことを特徴とするものである。

【0015】このような課題を達成するために、本発明の第2では、本発明の第1において、前記不揮発性記憶回路が複数の前記データ領域と、複数の前記データ領域への書き込み回数を記憶するデータ管理領域と、書き込み動作の対象である前記データ領域の情報を記憶するパーティション管理領域とから構成されることを特徴とするものである。

【0016】このような課題を達成するために、本発明の第3では、本発明の第1において、前記不揮発性記憶回路がEEPROMであることを特徴とするものである。

【0017】このような課題を達成するために、本発明の第4では、本発明の第1において、前記不揮発性記憶回路がフラッシュメモリであることを特徴とするものである。

#### 【0018】

【発明の実施の形態】以下本発明を図面を用いて詳細に説明する。図1は本発明に係る入出力モジュールの一実施例を示す構成ブロック図である。

【0019】図1において2、3、4、100及び101は図4と同一符号を付してあり、1aは制御回路である。接続関係に関しても図4とほぼ同一であるので説明は省略する。

【0020】ここで、図1に示す実施例の動作を図2及び図3を用いて説明する。図2は不揮発性記憶回路2内の格納領域の構成を示す説明図、図3は実施例の動作を説明するフロー図である。

【0021】図2に示すように不揮発性記憶回路2は図2中“イ”、“ロ”、“ハ”及び“ニ”に示すように4つの領域に分割し、図2中“イ”に示す領域を不揮発性記憶回路管理領域、図2中“ロ”、“ハ”及び“ニ”はデータセグメントとする。

【0022】図2中“イ”に示す不揮発性記憶回路管理領域にはデータセグメントの個数やデータセグメントのサイズ等の情報が格納されている。

【0023】一方、図2中“ロ”、“ハ”及び“ニ”に示す3つのデータセグメントはそれぞれ同一構成であり、個々のデータセグメントはさらに図2中“ホ”、“ヘ”、“ト”及び“チ”に示すように4つに分割される。

【0024】図2中“ホ”はパーティション管理領域、図2中“ヘ”、“ト”及び“チ”はパーティションである。パーティション管理領域には現在使用されているパーティションの情報が格納されている。

【0025】さらに、図2中“ヘ”、“ト”及び“チ”に示すパーティションは図2中“リ”に示すデータ管理領域と、図2中“ヌ”に示すデータ領域とに分割される。図2中“リ”に示すデータ管理領域には該当するパーティションのデータ領域への書き込み回数が格納される。

【0026】次に、図3を用いて実際の書き込み動作を説明する。不揮発性記憶回路2への書き込み動作が開始すると図3(a)に示すように制御回路1aはパーティション管理領域に格納されている情報に基づき選択されたパーティションのデータ管理領域を読み込む。

【0027】そして、図3(b)に示すように制御回路1aは前記データ管理領域に格納されているデータ領域への書き込み回数が書き込み限度を超過しているか否かを判断する。

【0028】もし、データ領域への書き込み回数が書き込み限度を超過していなければ、図3(c)に示すように制御回路1aは前記選択されたパーティションのデータ領域にデータを書き込み、図3(d)に示すように書き込みエラー発生の有無を判断し、書き込みエラーが発生していなければ書き込み動作は正常終了する。

【0029】一方、図3(b)においてデータ領域への書き込み回数が書き込み限度を超過した場合、若しくは、図3(d)において書き込みエラーが発生した場合には、図3(e)に示すように制御回路1aは使用可能なパーティションが有るかどうか不揮発性記憶回路2内を検索する。

【0030】図3(e)において、もし、使用可能なパーティションが存在すれば、図3(f)に示すように制御回路1aは使用可能なパーティションが選択されるようにパーティション管理領域の内容を書き換えると共に図3(a)に示す処理を行わせる。

【0031】また、図3(e)において使用可能なパーティションが存在しない場合は入出力モジュールは動作等に障害が生じてしまうので、図3(g)に示すように入出力モジュールは使用不能になり書き込み動作は異常終了する。

【0032】例えば、書き込み動作の対象が図2中“ヘ”に示すパーティションであり、書き込み動作時に書き込み回数超過若しくは書き込みエラーが生じた場合には、制御回路1aは書き込み動作の対象を図2中“ト”に示すパーティションに切り換えて処理する。

【0033】そして、同様に図2中“ト”に示すパーティションで書き込み動作時に書き込み回数超過若しくは書き込みエラーが生じた場合には、制御回路1aは図2中“チ”に示すパーティション等に順次書き込み動作の対象を切り換えて処理して行く。

【0034】このような、複数のデータ領域を設けてある一のデータ領域で書き込み回数超過若しくは書き込みエラーが発生した場合に、書き込み動作の対象を他のデ

一タ領域に順次切り換えて処理を行うことにより、実質的に不揮発性記憶回路2へのデータの書き込み可能な回数が増加する。言い換えれば、入出力モジュールの寿命を延ばすことが可能になる。

【0035】この結果、複数のデータ領域を設けてある一のデータ領域で書き込み回数超過若しくは書き込みエラーが発生した場合に、書き込み動作の対象を他のデータ領域に順次切り換えて処理を行うことにより、不揮発性記憶回路2の書き込み異常及び読み出し異常の発生を低下させることが可能になる。

【0036】なお、図1に示す実施例等では分散制御装置に用いられる入出力モジュールを例示したが不揮発性記憶回路を用いる他の装置等にも適用することが可能である。

【0037】また、不揮発性記憶回路2内の構成に関しては図2に示すように複数のデータ領域に対して同数のデータ管理領域を設けたが、1つのデータ管理領域で複数のデータ領域の書き込み回数を一括管理しても構わない。

【0038】また、書き込みに回数制限のある装置や、書き込み異常等を回避したい装置のメモリ管理等にも適用することは容易である。

【0039】また、不揮発性記憶回路としてはEEPROMを例示したが書き込み回数に制限のあるフラッシュメモリ等を用いても構わない。

【0040】また、書き込み回数の基準としては書き込

み限度回数を用いているがこれに限るわけではなく、書き込み限度回数よりも小さい基準を設けることにより、より信頼性を向上させることも可能である。

【0041】

【発明の効果】以上説明したことから明かなように、本発明によれば次のような効果がある。複数のデータ領域を設けある一のデータ領域で書き込み回数超過若しくは書き込みエラーが発生した場合に、書き込み動作の対象を他のデータ領域に順次切り換えて処理を行うことにより、不揮発性記憶回路の書き込み異常及び読み出し異常の発生を低下させることが可能な入出力モジュールが実現できる。

【図面の簡単な説明】

【図1】本発明に係る入出力モジュールの一実施例を示す構成ブロック図である。

【図2】不揮発性記憶回路内の格納領域の構成を示す説明図である。

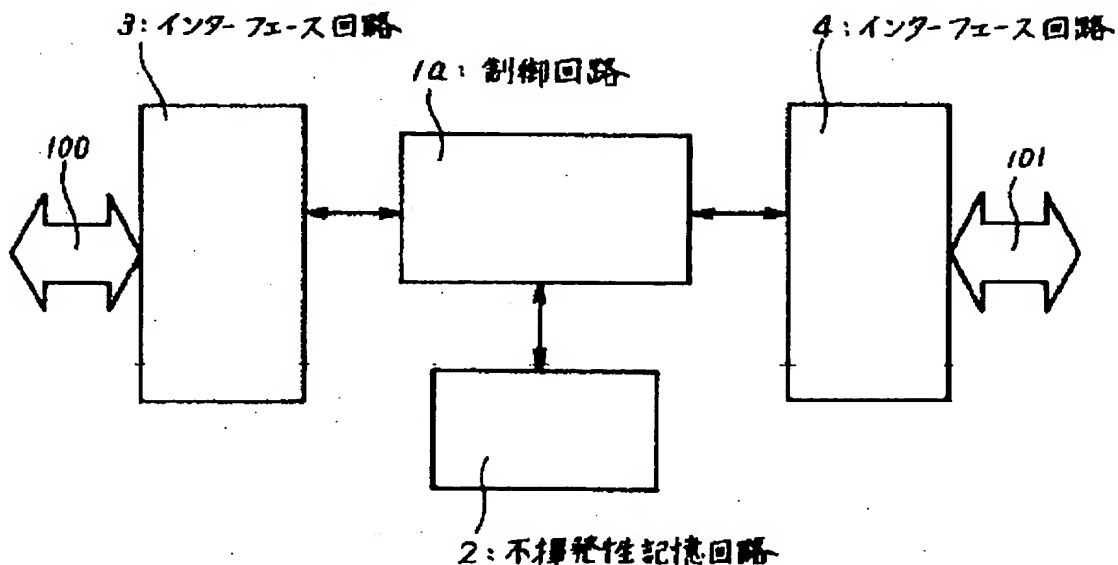
【図3】実施例の動作を説明するフロー図である。

【図4】従来の入出力モジュールの一例を示す構成ブロック図である。

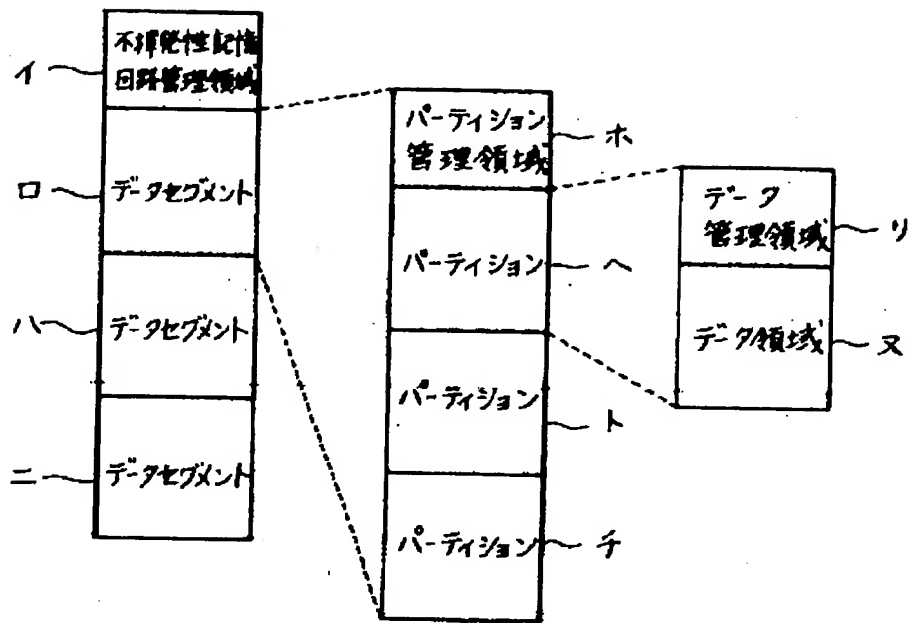
【符号の説明】

- 1, 1a 制御回路
- 2 不揮発性記憶回路
- 3, 4 インターフェース回路
- 100, 101 入出力信号

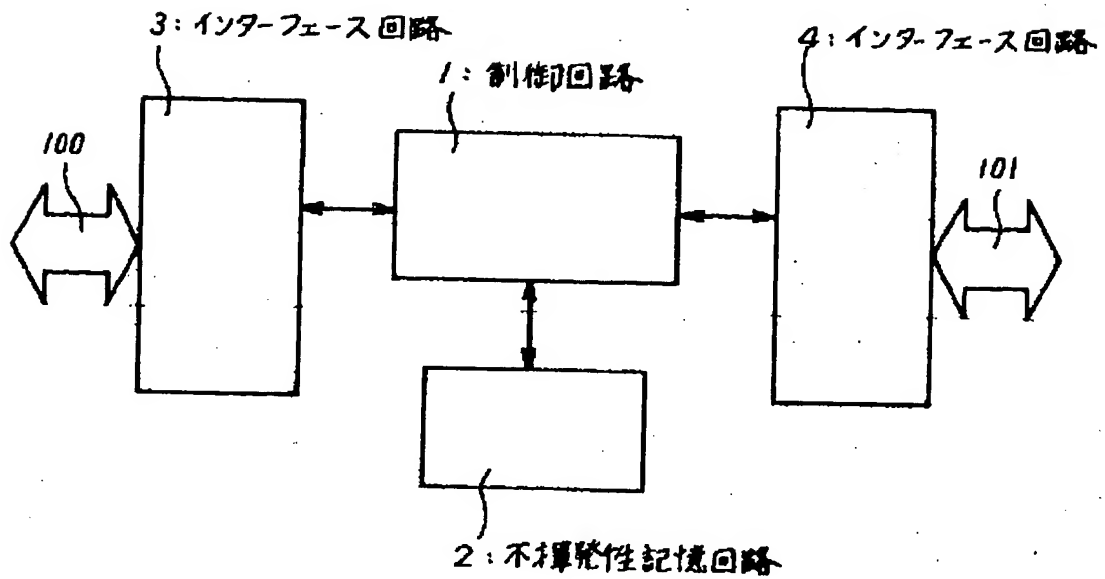
【図1】



【図2】



【図4】



【図3】

